

基于制造成品率模型的集成电路早期可靠性估计

赵天绪^{1,2}, 段旭朝¹, 郝 跃²

(1. 宝鸡文理学院计算信息研究所, 陕西宝鸡 721007; 2. 西安电子科技大学微电子所, 陕西西安 710071)

摘 要: 缺陷是影响集成电路成品率与可靠性的主要因素. 本文在区分缺陷与故障两个概念的基础上, 将缺陷区分为成品率缺陷(硬故障)、可靠性缺陷(软故障)和良性缺陷. 利用关键区域的面积, 给出了一个缺陷成为“硬故障”或“软故障”的概率, 给出了精度较高的 IC 成品率预测模型. 利用成品率缺陷与可靠性缺陷之间的关系, 给出了工艺线生产的产品的失效率与该工艺线制造成品率之间的定量关系. 在工艺线稳定的条件下, 通过该工艺线的制造成品率可以利用该关系式有效的估计出产品的失效率, 可以有效地缩短了新产品的研发周期.

关键词: 成品率; 失效率; 缺陷; 软故障; 硬故障

中图分类号: TN406 **文献标识码:** A **文章编号:** 0372-2112 (2005) 11-1965-04

Estimation of Early-Life Reliability Based on Integrated-Circuit Yield Model

ZHAO Tianxu^{1,2}, DUAN Xuchao¹, HAO Yue²

(1. Computer and Information Institute of Baoji University of Arts and Sciences, Baoji, Shaanxi 721007, China;

2. Microelectronics Inst. of Xiidian Univ. Xi'an, Shaanxi, 710071, China)

Abstract: The defect is a main factor of affecting IC's yield and reliability. Defects can be divided into yield defects (hard faults), reliability defects (soft faults) and goodness defects based on the difference between the defect's concept and fault's concept. The probability of a defect being a hard fault or a soft fault by the critical area of a defect is given and a more accurate yield model is gotten. A quantitative expression between IC's failure probability and functional yield is obtained by the relationship between the yield defects and reliability defects. IC's failure probability can be estimated by this quantitative expression using this IC manufacturing yield, and the research and development period can be shortened.

Key words: yield; failure; defect; soft fault; hard fault

1 引言

在集成电路制造过程中始终存在着缺陷, 缺陷的存在不仅影响着集成电路的成品率, 同时也影响着电路的可靠性. 尤其随着集成电路复杂度与芯片面积的增加、特征尺寸和栅氧厚度的减小, 其影响将进一步增加. 在电路的设计阶段不仅要求给出电路正确的功能和性能设计, 同时要求结合工艺线的能力和实际水平, 实现电路可靠性和成品率的最优设计. 这也是 IC 可制造性设计(DFM)的实现目标^[1].

集成电路的成品率和可靠性是决定半导体产品市场竞争和质量的重要因素. 从定性角度来说, 没有高的成品率就不会有高可靠性的产品. 高可靠性的产品必须由高成品率的工艺线来生产. 如何定量地表征可靠性与成品率之间的关系, 如何通过 IC 的制造成品率对该生产线产品的失效率做出有效估计, 这是科研工作者一直比较关注的问题^[2~4]. 本文在区分缺陷与故障两个概念的基础上, 利用关键区域的概念, 将缺陷区分为成品率缺陷(硬故障)、可靠性缺陷(软故障)和良性缺陷.

利用关键区域的面积, 给出了一个缺陷成为“硬故障”或“软故障”的概率, 给出了精度较高的 IC 成品率预测模型. 利用成品率缺陷与可靠性缺陷之间的关系, 给出了工艺线生产的产品的失效率与该工艺线制造成品率之间的定量关系. 在工艺线稳定的条件下, 通过该工艺线的制造成品率可以利用该关系式有效的估计出产品的失效率, 可以有效地缩短了新产品的研发周期.

2 缺陷与故障

在实际生产过程中, 常见的缺陷有冗余物缺陷、丢失物缺陷和针孔缺陷等. 而由缺陷诱发的故障有短路故障和开路故障. 无论是哪一类缺陷, 出现在电路上的缺陷能否造成电路故障不仅与该缺陷的粒径有关, 而且取决于该缺陷出现在电路上的位置. 因此, 出现在芯片上的缺陷可以分为 3 类: (1) 在集成电路制造过程中已经造成电路故障的缺陷, 这类缺陷在电路功能测试阶段可以检测出来, 直接影响着电路的成品率, 因此称其为成品率缺陷; (2) 在电路功能测试阶段虽然没有造成

电路故障,但是在电路的运行过程中却影响着电路的寿命或者可靠性的缺陷,这类缺陷将影响电路的可靠性,称其为可靠性缺陷;(3)既不影响电路的功能成品率,又不影响电路的寿命和可靠性的缺陷称为良性缺陷.对成品率缺陷而言,这类缺陷一旦出现,就会造成电路功能失效,把这类缺陷又称为硬故障;在电路功能测试阶段电路功能正常,但由于该缺陷的存在大大缩短了电路的寿命,把这类缺陷又称为软故障,例如出现在互连线上的丢失物缺陷使得导线的有效宽度在局部范围变窄,在导线的该局域增大了电流密度,加剧了该局域的电迁移效应,缩短了电路的寿命;良性缺陷既不影响电路的成品率,也不影响电路的可靠性,因此在电路的成品率和可靠性分析中将这类缺陷予以忽略.

由于制造缺陷出现的随机性,因此不同粒径的缺陷可以出现在芯片上的任何位置,缺陷出现在芯片上的位置及缺陷的粒径大小直接影响着电路的成品率和寿命的期望值.图1给出了缺陷出现的位置与造成的对应的故障之间的关系示意图.图1中的H表示成品率缺陷(硬故障),它使得两条金属线连接在一起,造成短路故障;S表示的可靠性缺陷(软故障),虽然它没有使得两条金属导线连接在一起,但是它的出现却使得两条导线之间的距离小于给定的距离 d_{max} ;N表示的是良性缺陷,它既不影响IC的成品率,在电路的运行期间不能造成电路失效.

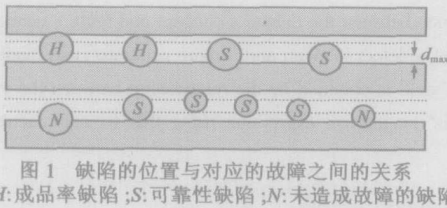


图1 缺陷的位置与对应的故障之间的关系
H:成品率缺陷;S:可靠性缺陷;N:未造成故障的缺陷

3 电路的功能成品率模型与可靠性成品率模型

3.1 功能成品率模型

表征IC功能成品率的模型有很多种,通常采用的有Poisson模型和IBM公司的Stapper提出的负二项式模型.最常用的是负二项式模型为^[5]

$$Y = Pr\{X=0\} = \left[1 + \frac{\lambda}{\alpha}\right]^{-\alpha} = \left[1 + \frac{AD}{\alpha}\right]^{-\alpha} \quad (1)$$

其中 λ 为芯片上的平均缺陷数, A 为芯片面积, D 为平均缺陷密度.

实践表明,用Poisson模型还是负二项式模型表征IC成品率,其预测成品率的结果往往低于实际统计的成品率.一个主要原因是这些模型忽略了缺陷与故障的区别.

由前面分析可知,缺陷不一定是故障,只有落在一个特定区域内的缺陷才能形成故障,把这个特定区域称为关键区域,关键区域的面积称为关键面积.关键面积可以用来表征缺陷造成电路故障的程度.如图2给出了粒径为 R 的缺陷

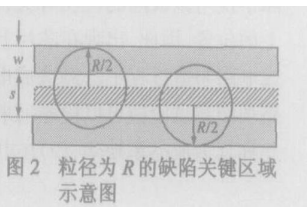


图2 粒径为 R 的缺陷关键区域示意图

关键区域的示意图.图2中的斜线阴影部分表示线宽为 w 、线间距为 s 和缺陷粒径为 R 关键区域.通过关键面积可以给出出现在芯片上的一个粒径为 R 的缺陷形成短路故障,即硬故障的概率^[6]:

$$\theta_h(R) = \begin{cases} 0, & \text{当 } 0 < R \leq s \\ \frac{R-s}{s+w}, & \text{当 } s \leq R \leq 2s+w \\ 1, & \text{当 } 2s+w \leq R \end{cases} \quad (2)$$

缺陷的粒径是一个随机变量,服从一定的分布规律.其概率密度函数为:

$$h(R) = \begin{cases} R_0^{-2}R, & 0 \leq R < R_0 \\ R_0^2R^{-3}, & R_0 \leq R < \infty \end{cases} \quad (3)$$

其中 R_0 是最大峰值粒径.因此,出现在芯片上的一个金属冗余物缺陷造成短路故障的平均概率为:

$$\theta_h = \int_0^{\infty} \theta_h(R) h(R) dR = \frac{R_0^2}{2s(2s+w)} \quad (4)$$

那么对于缺陷密度为 D_0 ,面积为 A 的芯片上的平均“硬故障”率为:

$$\lambda_h = A \theta_h D_0 = \frac{A \theta_h R_0^2 D_0}{2s(2s+w)} \quad (5)$$

IC功能成品率的模型为:

$$Y_f = Pr\{X=0\} = \left[1 + \frac{\lambda_h}{\alpha}\right]^{-\alpha} = \left[1 + \frac{A \theta_h D_0 R_0^2}{2\alpha s(2s+w)}\right]^{-\alpha} \quad (6)$$

因此,应用式(6)表征IC的功能成品率,其精度应该高于用公式(1)预测的精度.

3.2 可靠性成品率模型

与功能成品率一样可以定义可靠性成品率,所谓可靠性成品率是指“软故障”数为0的概率.一个金属冗余物缺陷要在电路中形成“软故障”,只要它的出现使得两个导体之间的距离小于 d_{max} .从图1可以看出,对“软故障”而言,相当于导线的宽度加宽了 $2d_{max}$,而线间距减小了 $2d_{max}$.因此,只要用 $w + 2d_{max}$ 替代公式(2)中线宽 w ,用 $s - 2d_{max}$ 替代公式(2)中线宽 s 就可以计算出粒径为 R 一个缺陷成为“硬故障”或者“软故障”的概率:

$$\theta_{hks}(R) = \begin{cases} 0, & 0 < R \leq s - 2d_{max} \\ \frac{R + 2d_{max} - s}{s + w}, & s - 2d_{max} \leq R \leq 2s + w - d_{max} \\ 1, & 2s + w - 2d_{max} \leq R \end{cases} \quad (7)$$

公式(7)表征了粒径为 R 一个缺陷可以为“硬故障”或者“软故障”的概率.那么一个缺陷成为电路“软故障”的平均概率为:

$$\begin{aligned} \theta_s &= \int_0^{\infty} (\theta_{ykr}(R) - \theta_y(R)) h(R) dR \\ &= R_0^2 \left[\frac{d_{max}^2 (3w - 2d_{max})}{2s^2 (s+w)(s-d_{max})^2} + \frac{d_{max} (3s+w-2d_{max})(s+w-2d_{max})}{s^2 (s+w)(2s+w-2d_{max})^2} + \frac{2d_{max}^2}{(s+w)(2s+w)(2s+w-2d_{max})^2} \right] \end{aligned} \quad (8)$$

对于缺陷密度为 D_0 ,面积为 A_{chip} 的芯片上的平均“软故障

障率为:

$$\begin{aligned} \lambda_s &= A_{chip} \theta_s D_0 \\ &= A_{chip} D_0 R_0^2 \left[\frac{d_{max}^2 (3w - 2d_{max})}{2s^2 (s+w)(s-d_{max})^2} \right. \\ &\quad + \frac{d_{max} (3s+w-2d_{max})(s+w-2d_{max})}{s^2 (s+w)(2s+w-2d_{max})^2} \\ &\quad \left. + \frac{2d_{max}^2}{(s+w)(2s+w)(2s+w-2d_{max})^2} \right] \end{aligned} \quad (9)$$

因此, 可靠性成品率模型为

$$Y_r = Pr\{X=0\} = \left[1 + \frac{\lambda_s}{\alpha} \right]^{-\alpha} \quad (10)$$

另外, 在许多文献中(如[3]/[4])假定 λ_h 和 λ_s 之间存在着线性关系, 即 $\lambda_s = \gamma \lambda_h$, γ 为常数。但是从公式(5)和(9)可以看出 λ_h 和 λ_s 之间并不成比例。

4 IC 功能成品率与失效率之间的关系

4.1 功能成品率与可靠性成品率之间的关系

由公式(6)可得 $A_{chip} D_0 R_0^2 = 2\alpha s(2s+w)(y_f^{-1/\alpha} - 1)$, 将此代入公式(9)得

$$\begin{aligned} \lambda_s &= 2\alpha s(2s+w) \left[\frac{d_{max}^2 (3w - 2d_{max})}{2s^2 (s+w)(s-d_{max})^2} \right. \\ &\quad + \frac{d_{max} (3s+w-2d_{max})(s+w-2d_{max})}{s^2 (s+w)(2s+w-2d_{max})^2} \\ &\quad \left. + \frac{2d_{max}^2}{(s+w)(2s+w)(2s+w-2d_{max})^2} \right] \cdot (y_f^{-1/\alpha} - 1) \end{aligned} \quad (11)$$

将式(11)代入式(10)便可得到 IC 功能成品率与可靠性成品率之间的关系式。

4.2 功能成品率与失效率之间的关系

当 $\frac{\lambda_s}{\alpha}$ 比较小时, 由 Taylor 展式有 $Y_r = \left[1 + \frac{\lambda_s}{\alpha} \right]^{-\alpha} \approx 1 - \lambda_s$, IC 失效率 $P_f = 1 - Y_r \approx \lambda_s$, 因此, 由公式(11)可以得到 IC 功能成品率与失效率之间的关系式:

$$\begin{aligned} P_f &\approx \alpha d_{max} \left[\frac{d_{max} (3w - 2d_{max}) (2s+w)}{s(s+w)(s-d_{max})^2} \right. \\ &\quad + \frac{2(2s+w)(3s+w-2d_{max})(s+w-2d_{max})}{s(s+w)(2s+w-2d_{max})^2} \\ &\quad \left. + \frac{4sd_{max}}{(s+w)(2s+w-2d_{max})^2} \right] \left[\frac{1 - y_f^{1/\alpha}}{y_f^{1/\alpha}} \right] \end{aligned} \quad (12)$$

5 试验与分析

图 3 给出了芯片面积 $A = 1\text{mm}^2$, $s = w = 14\mu\text{m}$, $R_0 = 14\mu\text{m}$

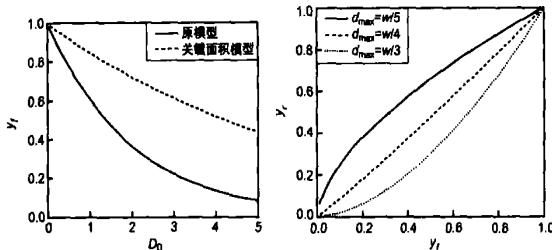


图 3 原模型与关键面积模型随 D_0 变化情况 图 4 y_r 与 y_f 随 d_{max} 的变化情况

时, 利用式(1)和式(6)计算出 IC 功能成品率随缺陷平均密度 D_0 变化的情况。从图 3 可以看出, 对同一个缺陷密度 D_0 而言, 用关键面积模型表征的成品率高于原模型表征的 IC 成品率。其原因是当芯片面积和生产条件给定时, 即缺陷密度 D_0 给定时, 用式(1)预测成品率时认为出现在芯片上的缺陷均能造成电路故障, 忽略了缺陷与故障的区别。实际上, 只有一部分缺陷能造成电路故障, 缺陷中心落在关键区域内的缺陷造成了电路故障。而用式(6)预测成品率时只考虑了形成电路故障的缺陷。

图 4 给出了 $w = s$, $\alpha = 1.5$ 时 IC 功能成品率 y_f 与可靠性成品率 y_r 随 d_{max} 变化情况。从图 4 可以看出对同一个 y_f , y_r 随 d_{max} 的增大而下降。其原因是在 IC 生产工艺线稳定的条件下, 对 d_{max} 的要求不同 y_r 也不同, d_{max} 的增大意味着导线间的线间距变小, 增大了短路故障的概率, 因而 y_r 随 d_{max} 的增大而下降。

图 5 给出了失效率 P_f 在不同的 d_{max} 下随 y_f 的变化情况。从图 5 可以看出, 对同一个 d_{max} , P_f 随 y_f 的增大而减小。这说明对于一个 IC 生产线, 其制造成品率的水平决定着其产品的可靠性水平。IC 制造成品率越高, 在运行过程中产品的失效率就越低, 因而产品的可靠性就越高。从图 5 还可以看出, 当制造成品率较低时, IC 的失效率很高, 这进一步说明要使得 IC 的失效率低于某一个水平, 那么就必须要有一定的 IC 制造成品率来保证。

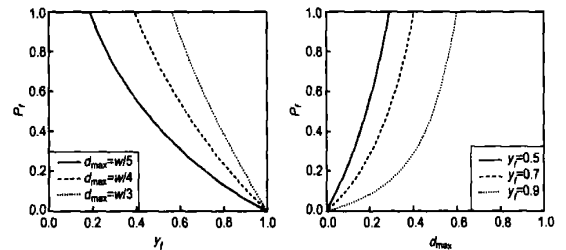


图 5 对不同的 d_{max} 失效率 P_f 随 y_f 变化情况 图 6 对不同的 y_f 失效率 P_f 随 d_{max} 变化情况

图 6 给出了在不同的 y_f 下 P_f 随 d_{max} 的变化情况。从图 6 可以看出, 对于同一个 IC 制造成品率 y_f 而言, P_f 随 d_{max} 的增加而增大。这是因为当 y_f 给定时, d_{max} 的增加使得线间距变小, 增加了“软故障”出现的概率, 即增加了 IC 的失效率。因此, 对于一个 IC 电路, 当生产工艺线确定后, 即 y_f 给定时, 为了估计该工艺线产品的失效率, 还必须给出一个合理的 d_{max} 。

6 结论

在集成电路制造中, 可靠性和成品率是紧密相关的。人们定性地认为, 没有高的芯片成品率就很难保证有高的可靠性, 一定的失效率必须有一定的成品率水平来保证。但是, 两者的定量关系是什么, 如何通过生产工艺线的制造成品率来估计该生产线产品的失效率, 这是 IC 可制造性设计研究的主要问题。本文在区分缺陷与故障两个不同概念的基础上, 利用关键区域的概念, 给出了落在芯片上的一个缺陷成为“硬故障”或者“软故障”的概率。定量地给出了功能成品率和可靠性成品

率之间的关系式,进而给出了 IC 电路的失效率与制造成品率之间的关系.通过该关系式可以有效地估计一个生产线产品的失效率,这将有助于 IC 新产品的研发,大大缩短新产品的研发周期.

参考文献:

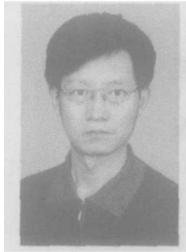
- [1] 郝跃. 集成电路制造动力学理论与方法[M]. 北京: 北京教育出版社, 1995.
- [2] Taeho Kim, Way Kuo. Modeling manufacturing yield and reliability[J]. IEEE Transactions on Semiconductor Manufacturing, 1999, 12(4): 485-492.
- [3] F Kuper. Between yield and reliability of integrated circuits: experimental results and application to continuous early failure rate reduction programs[A]. Proc Int Reliability Physics Symp [C]. Texas, USA, 1996. 17-21.
- [4] J van der Pol, E Ooms, T van't Hof, F Kuper. Impact of screening of latent defects at electrical test on the yield reliability relation and application to burn in elimination[A]. Proc Int Reliability Physics Symp[C]. Nevada, USA, 1998. 370-377.
- [5] Stapper C H. Correlation analysis of particle clusters on integrated Circuit wafers [J]. IBM J Research Development, 1987, 31(6): 641-649.
- [6] Eric Bruls. Quality and reliability impact of defect data analy

sis[J]. IEEE Transactions on Semiconductor Manufacturing, 1995, 8(2): 121-129.

作者简介:



赵天绪 男,1964年5月生,陕西省宝鸡人,1986年7月获宝鸡师范学院理学学士学位,分别于1992年1月和2000年3月获西安电子科技大学理学硕士学位和工学博士学位,主要研究方向为 IC 可制造性与统计最优化技术, IC 缺陷模型与故障识别以及 VLSI 容错设计等,发表论文 10 余篇. E-mail: txzhao318@163.com.



段旭朝 男,1964年6月生,陕西省宝鸡人,1995年3月获西安电子科技大学工学硕士学位,现为宝鸡文理学院物理系副教授,主要研究方向为 IC 可制造性和集成电路成品率优化设计.

郝跃 男,1958年3月出生于重庆市,分别于1985年和1991年西安电子科技大学硕士学位和西安交通大学博士学位,现为西安电子科技大学教授,副校长,博士生导师, IEEE 高级会员和中国电子学会高级会员,主要研究领域为 IC 可制造性和可靠性理论于设计方法,新器件和电路, IC 统计优化和模型等,发表论文 90 余篇.